

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **61-082458**

(43)Date of publication of application : **26.04.1986**

(51)Int.Cl.

H01L 27/10

G11C 11/34

(21)Application number : **59-204403**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **29.09.1984**

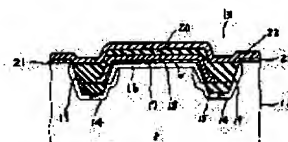
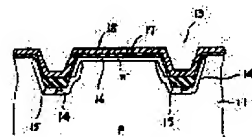
(72)Inventor : **SAKUI YASUSHI**

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To increase the capacity of a MOS capacitor without increasing a chip size and to microminiaturize a cell and to increase the capacity by composing one electrode of the capacitor of the first layer electrode film formed with a recess and a flat portion, and burying the recess with an insulating film, flattening its.

CONSTITUTION: An element forming region of a substrate 11 is coated with a mask 12, a taper is formed on the Si substrate 11 of a field region 13, etched, ion implanted to form a P+ type layer 14. An SiO₂ film 15 is buried in the region 13, an N- type layer 16 is formed on a MOS capacitor forming region, the side wall of the recess of the region 13 is formed in a Hi-C structure, and a depletion layer capacity between the layer 16 and the substrate 11 is increased. Then, the first gate oxide film 17 is formed on an element forming region, the first polycrystalline Si film 18 is accumulated on the overall surface, patterned, the second SiO₂ film 19 is buried in the recess of the region 13, and the surface is flattened. Thus, a capacitor is formed on the side wall of the recess of the region 13 to largely increase the capacity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-82458

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)4月26日

H 01 L 27/10
G 11 C 11/34

1 0 1

6655-5F
8522-5B

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体メモリ装置

⑮ 特 願 昭59-204403

⑯ 出 願 昭59(1984)9月29日

⑰ 発 明 者 作 井 辰 司 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
 ⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

(1) 1個のMOSトランジスタ及び1個のMOSキャパシタからなる1ビットメモリセルを半導体基板上に複数個集積してなる半導体メモリ装置において、前記MOSキャパシタの一方の電極はフィールド領域の凹部の側壁及び素子形成領域の平坦部に形成された前記基板と逆導電型の不純物層からなり、前記MOSキャパシタの他方の電極は上記凹部及び平坦部にゲート絶縁膜を介して形成された第1層電極膜からなり、且つ上記第1層電極膜が形成されたフィールド領域の凹部は絶縁膜で埋込まれて平坦化されていることを特徴とする半導体メモリ装置。

(2) 前記MOSトランジスタのゲート電極は、第2層電極膜からなり、且つこの第2層電極膜は前記MOSキャパシタ形成及び前記フィールド領域凹部の平坦化後に形成されていることを特徴とす

る特許請求の範囲第1項記載の半導体メモリ装置。

(3) 前記フィールド領域の凹部は、前記基板を2〔μm〕以上の深さに選択エッチングして形成され、且つこの凹部の底部には、4〔μm〕以上の絶縁膜が堆積されていることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

(4) 前記フィールド領域の凹部の底部には、前記基板と同導電型の不純物層が拡散により形成されていることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体メモリ装置に係わり、特に1トランジスタ/1キャパシタのセル構造を持つ半導体メモリ装置に関する。

(発明の技術的効果とその問題点)

近年、D-RAMの大容量化は著しく、現在は64kビットの大量生産が行われ、また256kビットの生産が行われようとしている。今後、1Mビット、4Mビットへと発展していくことは

特開昭61- 82458 (2)

無いことである。

現在のD-RAMのメモリセルは1トランジスタ/1キャパシタの構成が主流であり、この形式が高集積化に向き且つ作り易いものであり、量産品の全てがこの形式となっている。しかし、将来のより高集積化を目指す場合を考えると、ソフトウェアに対する耐性を従つては、一定値(40~50fF)の蓄積容量が必要であることから、何らかの手段でメモリセルを微細化しても一定値以上の蓄積容量が得られる構造のセルでなければ、ソフトウェアに強い製品を作ることが困難となっている。

メモリセルを微細化しても一定の容量を得るためには、蓄積容量がキャパシタの絶縁膜厚に逆比例し、絶縁膜の誘電率及びキャパシタ面積に比例することから、次の3つの方法が考えられる。

- ① 絶縁膜厚を薄くする方法
- ② 高誘電体膜を用いる方法
- ③ キャパシタ面積を広げる方法

ここで、4kビットD-RAM以上のメモリセル

を考えると、第1の方法では絶縁膜として酸化膜を用いる場合その膜厚が100[Å]以下となり、導電性良く耐圧の良い膜を形成するのが困難である。また、第2の方法では、リーク電流が少なく現在のSiプロセスに適合する絶縁膜はないのが現状である。従って、残る第3の方法、つまりキャパシタ面積を増加させる方法が容易に実現できる可能性があり、注目されている。

キャパシタ面積を増加する方法としては、キャパシタ領域にトレンチと呼ばれる溝を掘り、キャパシタ領域の面積を広げるトレンチキャパシタの構造がある。この方法では、集積化のためには溝の周孔の面積を小さくする必要があるが、キャパシタ容量を大きくするためには溝を深く掘ることが必要となる。しかし、周孔面積が小さく深い溝を掘ることは、技術的に困難があるばかりでなく、掘られた溝にMOSキャパシタを形成するのも難しい。さらに、溝が深くなると、隣り合うトレンチ間隔のパンチスルー耐圧が問題となり、微細化の達成が困難である等の問題がある。

(発明の目的)

本発明の目的は、チップサイズを増大させることなくキャパシタ容量を増大することができ、素子の微細化及び大容量化をはかり得る半導体メモリ装置を提供することにある。

(発明の要要)

本発明の素子は、エッチングによって形成されたフィールド領域の凹部の側壁をもMOSキャパシタの一部として利用することにある。

即ち本発明は、1個のMOSトランジスタ及び1個のMOSキャパシタからなる1ビットメモリセルを半導体基板上に複数個集積化してなる半導体メモリ装置において、前記MOSキャパシタの一方の電極をフィールド領域の凹部の側壁及び素子形成領域の平坦部に拡散層により形成された前記基板と逆導電型不純物層で構成し、前記MOSキャパシタの他方の電極を上記凹部及び平坦部にゲート絶縁膜を介して形成された第1層電極膜で構成し、且つ上記第1層電極膜が形成された凹部を絶縁膜で埋込み平坦化するようにしたものである。

る。

(発明の効果)

本発明によれば、フィールド領域に掘られた凹部の側壁にもメモリセルのキャパシタを形成しているため、次のような効果が得られる。

第1は、1セル面積当りに占めるキャパシタ面積を増大することにより、それだけ大きな信号をディジット線に取出すことができ、信号のSN比を大幅に改善でき、高信頼性のRAMの提供が可能となる。また、SN比が良くなることから、センス・リフレッシュアップに対するマージンが大きくなり、センス回路系の設計が容易になる。さらに、SN比の改善によって、製品の歩留りの向上が期待でき、製品コストの低減をはかり得る。

第2は、ソフトウェアに対する問題を改善できると言うことである。ソフトウェアとは、パッケージや半導体中に微少に含まれている放射線物質から放射されるα線がメモリセルやビット線の拡散層に侵入することにより、セルのキャパシタに記憶されている内容が変換したり、センスアップ

特開昭61- 82458 (3)

が誤動作することである。本発明では、メモリセルのキャパシタ容量を大きくして臨界電圧を多くすることが可能であり、ソフトエラーに対する耐性を十分大きくすることができる。

第3は、キャパシタ容量の増大により、ビット線容量を大きくできることである。センスアンプの感度はビット線容量 C_b とセル容量 C_s との比 C_b/C_s の値によって大きく左右されるが、 C_b/C_s の値を従来通りにすると、本発明のメモリセルでは C_s が増加した分だけ C_b を増加することができる。これは、即ち1本のビット線に従来よりも多くのメモリセルを接続できることであり、1MビットD-RAMや4MビットD-RAM等の大容量メモリに本発明のメモリセルは適していると云える。また、1本のビット線に多くのメモリセルを接続することにより、センスアンプ及びデコーダの数を減らすことができる。このことは、D-RAMのチップサイズの縮小に寄与する。チップサイズの縮小は、1枚のウェハから取れる製品の数を増加させ、1チップ当りのコ

ストを軽減させる。また、センスアンプ及びデコーダの数が減少した分をICマスクパターンの設計規則を狭めることに向けるなら、それだけ製品の歩留り向上に寄与する。

また、本発明ではキャパシタの電極となる第1層電極膜が形成されたフィールド領域の凹部を絶縁膜で差込み平坦化しているのも、その上に形成する各種の層を有効に形成することができる。即ち、下地段差に起因する電極膜や配線膜等の薄化及び段切れを防止することができる。また、この効果はメモリセル形成領域のみならず、その周辺回路の形成領域においても有効である。

(発明の実施例)

以下、本発明の詳細を随示の実施例によって説明する。

第1図乃至第8図は本発明の一実施例に係わる半導体メモリ装置の製造工程を示す平面図及び断面図である。まず、第1図(a)に平面図を、第1図(b)に同図(a)の矢視A-A断面を拡大して示す如く、P型Si基板11の素子形成領域

をマスク12で覆い、フィールド領域13のSi基板11を2[μ m]以上の深さでテーパを付けてエッチングする。続いて、同じマスク12を用いてフィールド領域13にイオン注入を行い、フィールド反転防止のためのP⁺層14を形成する。

次に、第2図に断面図を示す如くリフトオフ法等によりフィールド領域13に最低膜厚0.4[μ m]の第1のSiO₂膜15を埋込み、続いてMOSキャパシタ形成領域にAs等のN型不純物をイオン注入してN⁺層16を形成する。これは、MOSキャパシタをDタイプにするために、フィールド領域13の凹部の側壁に形成されたP⁺層14にN⁺をカウンタドープするためである。このカウンタドープによって、フィールド領域13の凹部の側壁はH⁺-C構造になり、セルキャパシタの容量のうち、N⁺層16とP基板11との間の空乏層容量が増加する。次いで、素子形成領域上に第1のゲート酸化膜17を形成し、全面に第1の多結晶Si膜(第1層電極膜)18を堆積し、全面にAs等のN型不純物を拡散させ

る。その後、第3図(a)に平面図を、第3図(b)に同図(a)の矢視B-B断面を示す如く、第1の多結晶Si膜18をパターンニングする。

次に、第4図に断面図を示す如くフィールド領域13の凹部に第2のSiO₂膜19を埋込み表面を平坦化する。次いで、第1の多結晶Si膜18を酸化して、熱酸化膜20を多結晶Si膜18上に成長させる。この熱酸化膜20は、後述の第2層電極膜との密着絶縁膜として用いられる。その後、第2のゲート酸化膜21を形成し、全面に第2の多結晶Si膜(第2層電極膜)22を堆積する。なお、これ以降はオープンビットライン方式のD-RAMを例にして説明するが、フォルダットビットライン方式のD-RAMにおいても本発明は有効である。

次に、第5図(a)に平面図を、第5図(b)に同図(a)の矢視C-C断面を示す如く、第2の多結晶Si膜22をパターンニングしてセルのトランスファークゲートを形成する。次いで、As等のN型不純物を拡散を上記ゲートをマスクとして全

特開昭61- 82458(4)

面に行つてMOSトランジスタのソース・ドレイン領域23を形成する。

次に、第6図(a)に平面図を、第6図(b)に同図(a)の矢視D-D断面を示す如く、全面に第3のSiO₂膜24を堆積し、このSiO₂膜24にコンタクトホール25を開孔する。次いで、第7図(a)に平面図を、第7図(b)に同図(a)の矢視E-E断面を示す如く、第3の多結晶Si膜26を堆積し、これをパターニングする。続いて、コンタクトホール25を通してAs等のN型不純物を拡散を行い、N⁺⁺層27を形成する。これによって、N⁺層23と第3の多結晶Si膜26とのコンタクト抵抗が小さくなる。

次に、第8図(a)に平面図を、第8図(b)に同図(a)の矢視F-F断面を、第8図(c)に同図(a)の矢視G-G断面を示す如く、全面に第4のSiO₂膜28を堆積し、これにコンタクトホール29を設ける。さらに、ワード線としてのA₂配線層30をセルのトランスファークラップである第2の多結晶Si膜22と接続するよう

に配線する。最後に、全面に保護膜31を被せることによって半導体メモリ装置が完成することになる。

かくして形成された半導体メモリ装置は、素子形成領域の平坦性は勿論のこと、フィールド領域13の凹部の側壁にもキャパシタが形成されることになり、キャパシタ容量の大幅な増大をはかり得る。また、キャパシタの一つの電極を構成する第1の多結晶Si膜18が形成されたフィールド領域13の凹部を、絶縁膜19で埋込み平坦化しているもので、その上に形成する各膜の間に下地膜差に起因する屈折差が生じるのを未然に防止することができる。

なお、本発明は上述した実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。例えば、前記フィールド領域に形成する凹部の深さは、必要とするキャパシタ容量等の条件に応じて、適宜定めればよい。また、上記凹部の途中まで埋込む絶縁膜の厚さ等の条件も、仕様に依りて適宜可能である。

4. 図面の簡単な説明

第1図乃至第8図は本発明の一実施例に係わる半導体メモリ装置の製造工程を示すもので、第1図(a)は平面図、第1図(b)は同図(a)の矢視A-A断面図、第2図は断面図、第3図(a)は平面図、第3図(b)は同図(a)の矢視B-B断面図、第4図は断面図、第5図(a)は平面図、第5図(b)は同図(a)の矢視C-C断面図、第6図(a)は平面図、第6図(b)は同図(a)の矢視D-D断面図、第7図(a)は平面図、第7図(b)は同図(a)の矢視E-E断面図、第8図(a)は平面図、第8図(b)は同図(a)の矢視F-F断面図、第8図(c)は同図(a)の矢視G-G断面図である。

11…P型Si基板、12…マスク、13…フィールド領域、14…P⁺層、15…第1のSiO₂膜、16…N⁻層、17…第1のゲート酸化膜、18…第1の多結晶Si膜(第1層電極膜)、19…第2のSiO₂膜、20…熱酸化膜、21…第2のゲート酸化膜、22…第2の多結晶

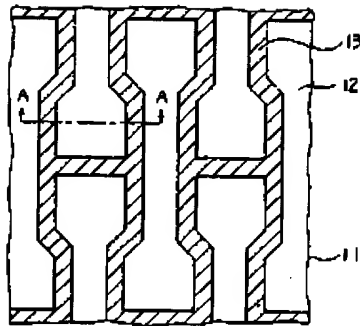
Si膜(第2層電極膜)、23…ソース・ドレイン領域、24…第3のSiO₂膜、25…コンタクトホール、26…第3の多結晶Si膜、27…N⁺⁺層、28…第4のSiO₂膜、29…コンタクトホール、30…A₂配線層、31…保護膜。

出版人代理人 弁理士 鎌江武彦

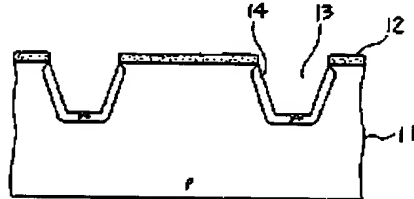
特開昭 61- 82458 (5)

第 1 図

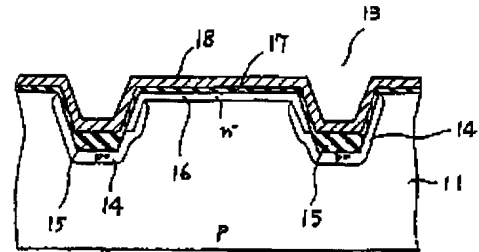
(a)



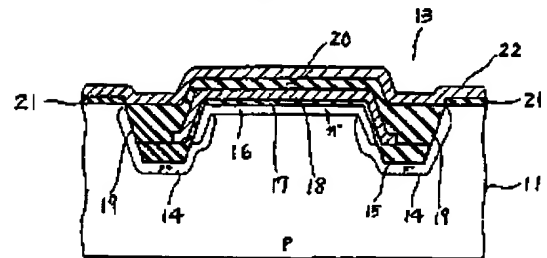
(b)



第 2 図

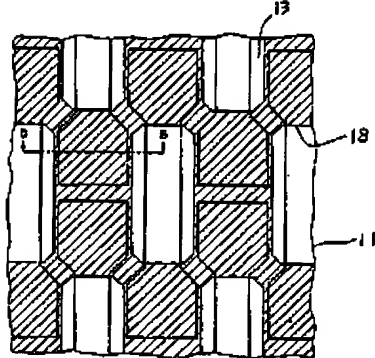


第 4 図

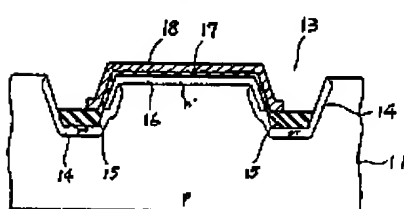


第 3 図

(a)

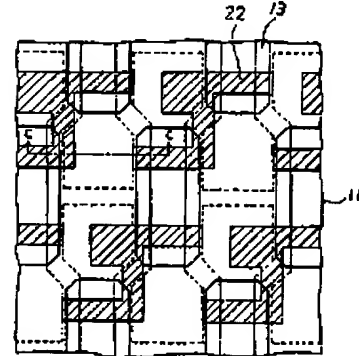


(b)

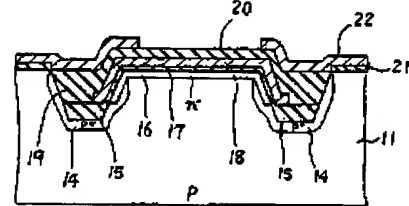


第 5 図

(a)

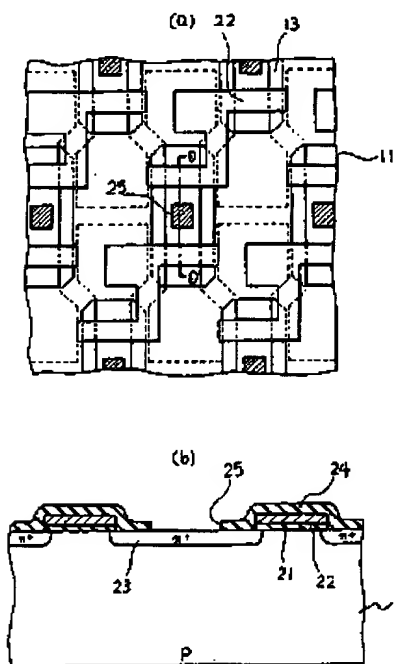


(b)

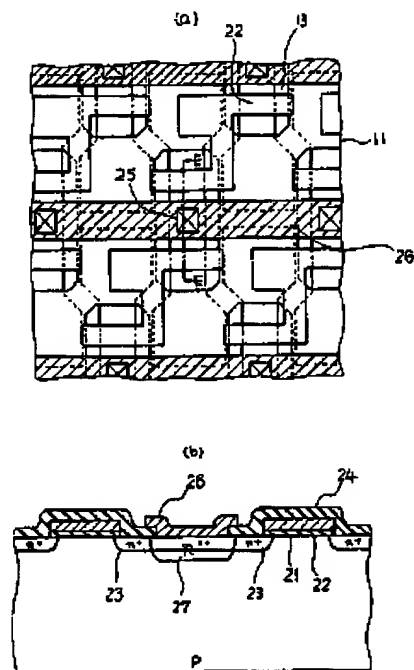


特開昭 61- 82458 (6)

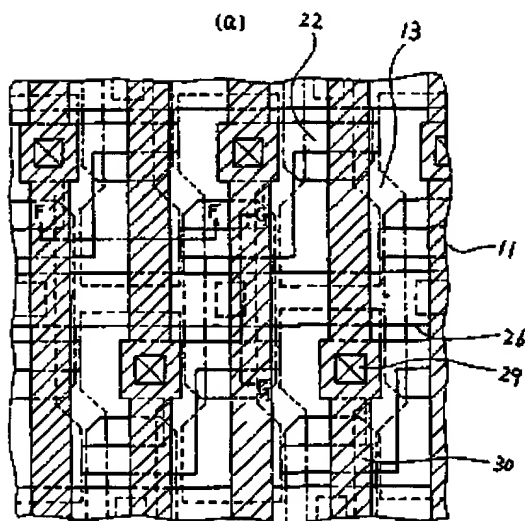
第 6 図



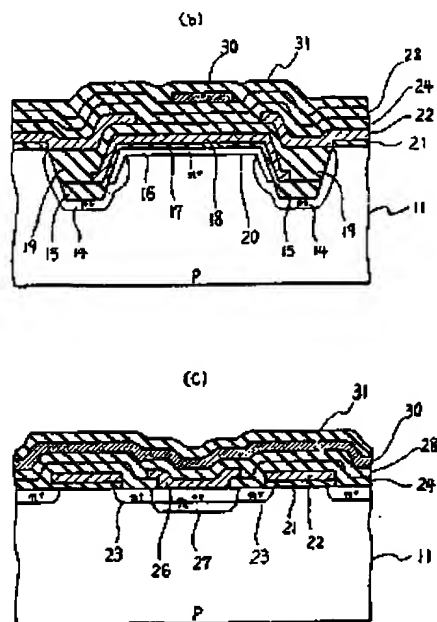
第 7 図



第 8 図



第 8 図



特許法第17条の2の規定による補正の掲載

昭和 59 年特許願第 204403 号 (特開昭 61-82458 号, 昭和 61 年 4 月 26 日 発行 公開特許公報 61-825 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 1 (2)

Int. Cl.	識別記号	庁内整理番号
H01L 27/108 27/04		C-7514-SF D-8624-SF H01L 27/10 -325

2. 特許請求の範囲

(1) 1 個の MOS トランジスタ及び 1 個の MOS キャパシタからなる 1 ビットメモリセルを半導体基板上に複数個集積化してなる半導体メモリ装置において、前記 MOS キャパシタの一方の電極の一端はフィールド領域の凹部の側壁に形成された前記基板と導電電極の不純物層からなり、前記 MOS キャパシタの他方の電極は上記凹部にゲート絶縁膜を介して形成された第 1 層電極膜からなり、且つ上記第 1 層電極膜が形成されたフィールド領域の凹部は絶縁膜で埋込まれ平坦化されていることを特徴とする半導体メモリ装置。

(2) 前記 MOS トランジスタのゲート電極は、第 2 層電極膜からなり、且つこの第 2 層電極膜は前記 MOS キャパシタ形成及び前記フィールド領域凹部の平坦化後に形成されていることを特徴とする特許請求の範囲第 1 項記載の半導体メモリ装置。

(3) 前記フィールド領域の凹部は、前記基板を 2 μm 以上の深さに選択エッチングして形成

平成 3. 9. 3 発行

手 続 補 正 簿

平成 昭. 4. 月 0 日

特許庁長官 柳 松 敬 殿

1. 事件の表示

特願昭 59-204403 号

2. 発明の名称

半 導 体 メ モ リ 装 置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

東京都千代田区殿が間 3 丁目 7 番 2 号

〒100 電話 03 (3502) 3181 (大代表)

(5847) 弁護士 鈴 江 武 彦

5. 自発補正

6. 補正の対象

明 細 書

7. 補正の内容

特許請求の範囲を別紙の通り訂正する。

方式 図 表

特許庁
3. 4. 10
日 付
受 付

され、且つこの凹部の底部には 0.4 μm 以上の絶縁膜が堆積されていることを特徴とする特許請求の範囲第 1 項記載の半導体メモリ装置。

(4) 前記フィールド領域の凹部の底部には、前記基板と同導電型の不純物層が試酸により形成されていることを特徴とする特許請求の範囲第 1 項記載の半導体メモリ装置。

出願人代理人 弁護士 鈴 江 武 彦